

対応・英抄なし

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—158883

⑤ Int. Cl.³
G 09 G 1/06識別記号 庁内整理番号
7923—5C

⑬ 公開 昭和57年(1982)9月30日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭ データ表示システム

東京芝浦電気株式会社青梅工場
内

⑯ 特 願 昭56—45042

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭56(1981)3月27日

川崎市幸区堀川町72番地

⑲ 発 明 者 大沼庄治

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

青梅市末広町2丁目9番地の1

明 細 書

1. 発明の名称

データ表示システム

2. 特許請求の範囲

(1) 表示情報を記憶するメモリを有し、外部より供給される同期信号あるいは内部で発生される同期信号に同期して前記メモリから情報を順次読出し、ドットパターンに変換し、繰返し表示器に送出して表示を行う表示制御装置と、映像信号と同期信号を記録し、且つ再生する映像同期信号記録装置と、前記映像同期信号記録装置の再生出力信号から同期信号を取出し前記表示制御装置へ供給する第1の装置と、前記表示制御装置から送出される映像信号ならびに前記映像同期信号記録装置が再生する映像信号を重ね合わせて表示器へ送出する第2の装置と、前記重ね合わされた信号と前記同期信号とを入力として表示を行う表示器とから成ることを特徴とするデータ表示システム。

(2) スクリーンディスプレイを表示器として

持つことを特徴とする前記特許請求の範囲第1項記載のデータ表示システム。

(3) 更に他の映像同期信号記録装置を有し、前記重ね合わされた映像信号と同期信号とを記録することを特徴とする前記特許請求の範囲第1項記載のデータ表示システム。

3. 発明の詳細な説明

本発明はデータ表示システムに関する。

優れたマンマシンインターフェース機能を有するCRTディスプレイ装置は近年著しい普及をみせ、英数字、かなのみならず漢字及び図形を表示するものも実用化されており、電子計算機システムの入出力装置として不可欠な存在となっている。

一方、映像機器においてはVTR(ビデオテープレコーダ)や大形スクリーン表示器が普及してきている。

従来、CRTディスプレイ装置は電子計算機が出力する情報をリアルタイムで表示すれば十分であったし、又、1人の専任オペレータが見る

だけで十分であった。

ところで近年、電子計算機システムの発展に伴い、様々なところに電子計算機システムが使われる様になるにつれ種々の要求が生じてきた。例えば、CRTディスプレイの表示画面を記録しておき、後、必要時再生し、電子計算機がリアルタイムで出力する情報と同一画面上に重ね合わせて表示すること等である。しかしながら、従来の電子計算機システムにおいては上記の機能を満足するものは存在せず、出現が望まれていたものである。

本発明は上記装置に鑑みてなされたものであり、記録された情報を再生し、電子計算機がリアルタイムで出力する情報と同一画面上に重ね合わせて表示することが可能なデータ表示システムを提供することを目的とする。又、前記重ねて表示された信号を記録するデータ表示システムを提供することを他の目的とする。更に表示器として大形スクリーン表示器を使った表示システム以上の機能を持ったデータ表示システム

-3-

発生装置であって、前記リフレッシュメモリ制御装置16、パターン発生器17、ドライバ18はいずれもここから得られる信号に基づいて動作する。

第2図は第1図におけるタイミング信号発生装置の詳細を示す回路ブロック図である。図において、21は基本クロック発生器、22～26はカウンタであって前記基本クロック発生器21から得られる基本クロックを基に各種周波数成分のクロックが生成される。カウンタ22は7進のドットカウンタ、カウンタ23は64進カウンタ、カウンタ24は10進のスライスカウンタ、カウンタ25は26進のローカウンタである。28～30はデコーダであって、前記各カウンタ22、23、24、25の内容をそれぞれデコードし、各種タイミング信号を生成する。31はセレクトであり、入力A、Bのいずれかを選択し出力する。

第3図は第2図における各部分の動作タイミングを示すタイミングチャートである。

-5-

ムを提供することも他の目的とする。

以下、図面を使用して本発明に関し詳細に説明する。

第1図は本発明にて使用される表示制御装置の実施例を示したブロック図である。図において、11はCPU、12は通信回線制御装置、13はキーボード入力装置、14は主メモリである。前記各装置11、12、13、14はバスへ共通接続される。15は1画面分あるいはそれ以上の表示情報を記憶するリフレッシュメモリである。該リフレッシュメモリ15における表示データのREAD/WRITEはリフレッシュメモリ制御装置16が司る。17は前記リフレッシュメモリ15から得られる内容を入力とし表示ドットパターンに変換出力するパターン発生器である。このパターン発生器17により生成される表示ドットパターンデータはドライバ18により、CRTあるいはスクリーンにて構成される表示器19へ供給される。尚、19は表示に必要な一連のタイミング信号を生成するタイミング信号

-4-

第4図(a)は本発明によりなされる表示例を示し、5×7ドットマトリクスの字を7×10ドットマトリクスのセグメント(区画)内に表示することを示している。(b)は(a)のドット構成で1画面あたり40カラム×20ローの表示を行うことを示している。

第5図は本発明におけるデータ表示システムの実施例を示すブロック図である。図において、51は映像同期信号1同期信号を記録し再生する映像同期信号記録装置、52は前述した表示制御装置である。前記映像同期信号記録装置51、表示制御装置52出力は機能装置53へ供給される。機能装置53は前記映像同期信号記録装置51の再生出力から同期信号を取り出し、表示制御装置52へ供給する手段、ならびに前記映像同期信号記録装置51の再生出力と前記表示制御装置52の出力とを重ね合わせて表示器54へ供給する手段とを持つ。機能装置53については第7図にて詳細に説明する。

第6図は本発明におけるデータ表示システム

-6-

の他の実施例を示すブロック図である。

第5図の実施例との差異は前記機能回路53、表示器54間に更に映像同期信号記録装置55が増設されていることである。この映像同期信号記録装置55により重ね合わされた映像信号と同期信号が記録されるものである。

第7図は第4図・第5図にて示される機能回路の内部構成を示すブロック図である。図において、61は映像信号同期信号出力(ライン501)を得同期信号を取り出しライン201、202を介して表示制御装置52へ供給する同期信号分離器である。62は加算回路である。該加算回路62へは、前記映像同期信号記録装置51出力(ライン501)ならびに増幅器63を介して得られる表示制御装置52出力が供給され、ここで両信号が重ね合わされ、ライン503を介してセレクト66の入力Aに供給される。一方、64は表示制御装置52より得られる垂直同期信号(VSYNC)と水平同期信号(HSYNC)を合成する回路であって、ここで得

-7-

供給することにより所望のデータの表示を得る。

第2図と第3図を使ってタイミング信号発生装置19の動作を説明する。

まず、基本クロック発生器21により基本となるクロックが発生されドットカウンタ22へ供給される。このクロックの周期は1ドット表示時間と等しい。ドットカウンタ22は7進カウンタであって1文字表示の時間を規定する。カラムカウンタ23は64進カウンタであって1ラスタの掃引時間を規定する。スライスカウンタ24は10進カウンタにより構成され、1ローの表示時間を規定する。ローカウンタ25は26進カウンタにより構成され、表示の1フレームの時間を規定する。

カラムカウンタ23が"9"〜"48"をカウントしているときにデコード27の働きによりライン204に信号が出力される。これはこの間に文字表示を行うフラグ信号として使用される。又、カラムカウンタ23が"59"〜"63"をカウントしているとき、デコード

-9-

られる合成信号は加算回路65の一入力端へ供給される。該加算回路65の他入力端へは前記表示制御装置52からの出力が供給されており、ここで得られる重ね合せ出力はライン504を介してセレクト66の入力Bに供給される。該セレクト66はライン210を介して得られる信号によりA又はBに入力される信号のいずれかを出力する。

第8図は第7図における各部の波形を示したものである。

以下、本発明の動作につき詳細に説明する。まず、第1図に示した表示制御装置の動作から説明する。キーボード13から入力される情報あるいは回線より入力される情報は、CPU11の制御の下、リフレッシュメモリ15へ順次記憶される。一方、タイミング信号発生装置19によって発せられる表示タイミング信号により前記リフレッシュメモリ15へ格納された情報は順次読出され、パターン発生器17によりドットパターンに変換され、これを表示器10へ

-8-

27の働きにより、ライン206に信号が出力される。これは水平同期信号(HSYNC)として使われる。又、ローカウンタ25が"3"〜"22"をカウントしているとき、デコード29の働きにより、ライン203に信号が出力される。これは、この間に文字表示を行うフラグ信号として前記ライン204とあわせて用いられる。ローカウンタ25が"25"をカウントしており、スライスカウンタ24が"7"〜"9"をカウントしたとき、デコード30の働きにより、ライン205に信号が出力される。これは垂直同期信号(VSYNC)として使われる。

一方、ローとカラムのカラムカウンタ23、25の内容(ライン209)は、リフレッシュメモリ15から表示情報を読出すときのリフレッシュメモリアドレス情報として使われる。

この様にして同期信号ならびに表示タイミング信号が作られる。同期信号205、206はセレクト31を介し、ドットカウンタ22、カラムカウンタ23、スライスカウンタ24、ロ

-10-

カウンタ25を初期化する様に接続されている。従って、セクタ31が入力B(HSYNC, VSYNC)を選択しているときは、カラムカウンタ23が値"63"から"1"だけ歩進するときにドットカウンタ22、カラムカウンタ23が初期化される。

一方、セクタ31が入力A(映像同期信号記録装置51から取り出される同期信号)を選択している時は、外部からライン201を介して得られる信号により、ドットカウンタ22、カラムカウンタ23、スライスカウンタ24、ローカウンタ25が初期化され、ライン202を介して得られる信号により、ドットカウンタ22、ラインカウンタ23を初期化する様に作用する。

ライン201、202を伝播する信号はそれぞれ映像同期信号記録装置(第5図51)の再生出力から取り出される垂直同期信号及び水平同期信号である。

上記した如く、映像同期信号記録装置51に

-11-

変換し、ライン502を介して機能回路53へ供給する。機能回路53は、ライン501、502上を伝播する信号を重ね合わせ、ライン503を介して表示器54へ送出する。この様にすることにより、表示器54上では映像同期信号記録装置51の出力と表示制御装置52の出力が重ね合わされ所望のデータが表示されるものである。

次に第6図に示した実施例につき説明する。基本的な動作は第5図に示した実施例と同様である。ここでは第5図に示した実施例に更に映像同期信号記録装置55が追加されている。これにより、前記重ね合わされた信号(ライン502上を伝播する信号)がそのまま記録される。

第7図は第5、6図における機能回路53の詳細を示したブロック図であって、各部の波形は第8図に示されている。以下、この波形を参照しながら機能回路53の動作につき詳細に説明する。

-13-

同期して表示制御装置52中のリフレッシュメモリ15に記憶された表示情報が繰返し読出され、映像同期信号記録装置51により再生される映像と重ね合わされ表示器10に表示される。

セクタ31が、入力A、Bのいずれを選択するかは信号ライン210を伝播する信号によって決められる。信号ライン210は例えば外部同期/内部同期切換スイッチ(図示せず)に接続される。

第5図、第6図の実施例を用いてデータ表示システムとしての動作につき詳細に説明する。

まず、第5図の実施例から説明する。映像同期信号記録装置51の再生出力はライン501を介して機能回路53に入力される。ここでは同期信号が取り出され、取り出された信号はライン201、202を介して、表示制御装置52へ供給される。表示制御装置52は、ライン201、202上を伝播する信号に同期して、リフレッシュメモリ15から表示情報を読出し、パターン発生器17を介してドットパターンに

-12-

まず、ライン501上を伝播する信号は同期信号分離器61へ入力され、ここで水平同期信号と垂直同期信号に分離される。それぞれライン202、201を介して表示制御装置52のセクタ31へ供給される。信号ライン501上を伝播する信号は又、加算回路62の一入力としても加えられる。

尚、表示制御装置52から映像信号がライン502を介して入力される。この信号は増幅器63により適正なレベルに調整され、加算回路62の他方の入力端へ供給される。加算回路62では前記ライン501と502上を伝播する信号を重ね合わせるものである。この加算回路62出力はライン503、セクタ66、ライン505を介して表示器へ送出される。

一方、表示制御装置52が前述した外部同期信号(ライン201、202上を伝播する信号)によってではなく、内部で発生される同期信号にて動作する場合、その信号はライン205、206を介して合成回路64へ供給される。こ

-14-

ここで合成された信号は前記表示制御装置 52 より得られる映像信号と共に加算回路 65 へ供給される。加算回路 65 では前述同様両信号の重ね合わせがなされ、その出力をライン 504 を介してセレクト 66 へ供給する。セレクト 66 はライン 210 上を伝播する信号に基づき A, B のいずれかの入力を選択し、ライン 505 を介して表示器へ供給する。この様にして表示器へ所望のデータを表示するものである。

以上説明の如く本発明によれば、リアルタイムで表示される情報を記録することができ初期の目的が達せられる。又、記録された情報を再生し、且つリアルタイムで出力される情報を重ね合わせて表示が可能となる。更に上記重ね合わされた信号を再び記録することも可能となるものである。

4. 図面の簡単な説明

第 1 図は本発明にて使用される表示制御装置の実施例を示したブロック図、第 2 図は第 1 図におけるタイミング信号発生装置の詳細を示す

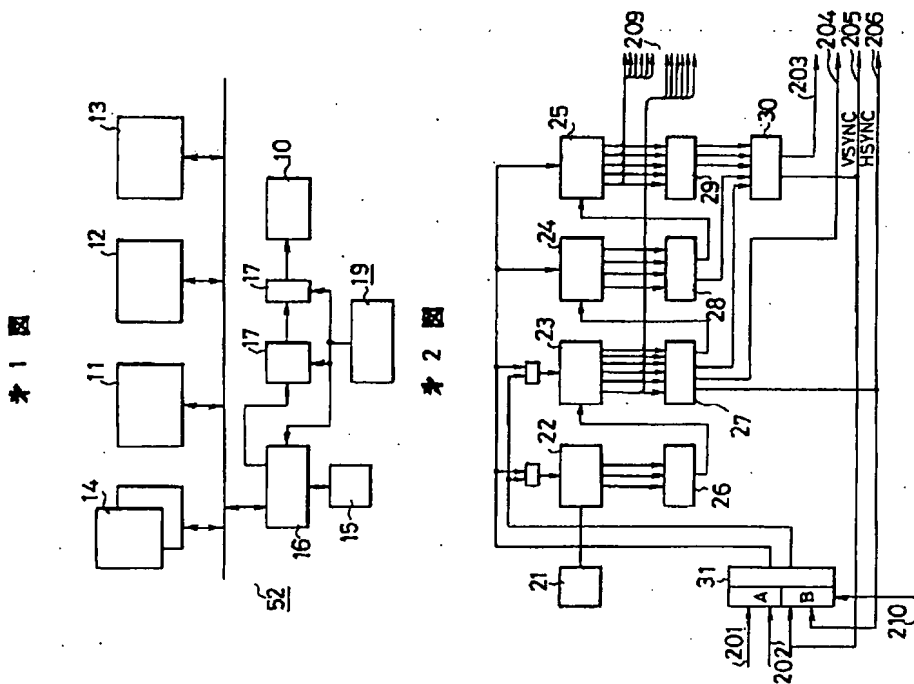
回路ブロック図、第 3 図は第 2 図における各部の動作タイミングを示すタイミングチャート、第 4 図(a)は本発明によりなされる表示の例を示す図、第 4 図(b)は画面構成を示す図、第 5 図は本発明におけるデータ表示システムの実施例を示すブロック図、第 6 図は本発明の他の実施例を示すブロック図、第 7 図は第 5 図、第 6 図における機能回路の内部構成を示すブロック図、第 8 図は第 7 図における各部の動作タイミングを示すタイミングチャートである。

51, 55…映像同期信号記録装置、52…表示制御装置、53…機能回路、54…表示器、61…同期信号分離、62, 65…加算回路、63…増幅器、64…合成回路、66…セレクト。

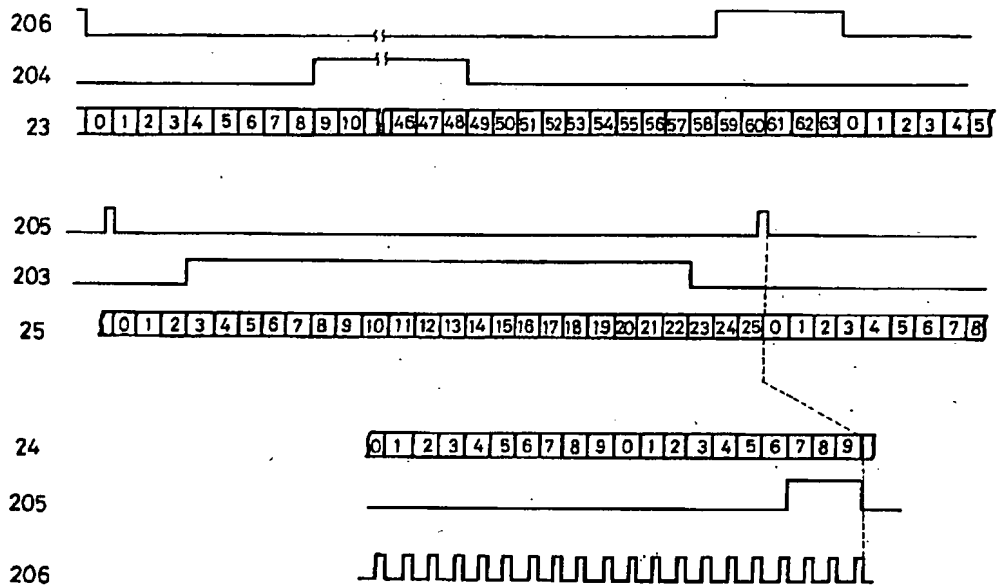
出願人代理人 弁理士 鈴 江 武 彦

-15-

-16-

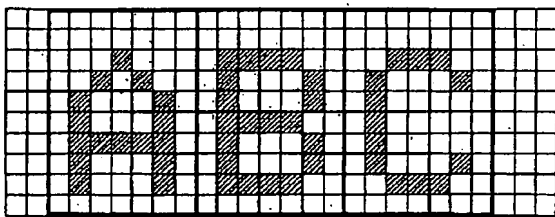


★ 3 図

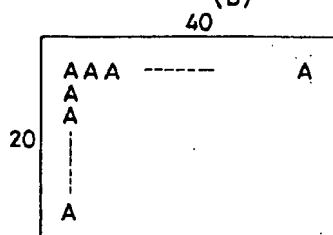


★ 4 図

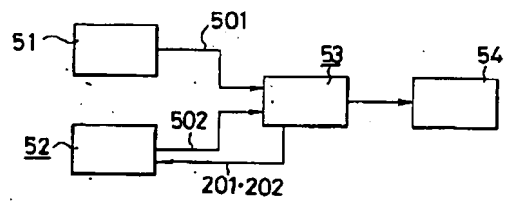
(a)



(b)



★ 5 図



★ 6 図

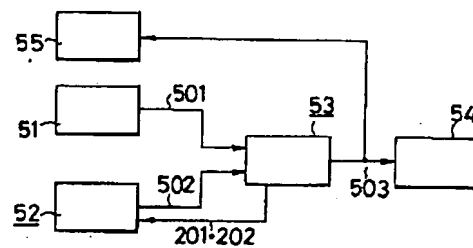


図 7

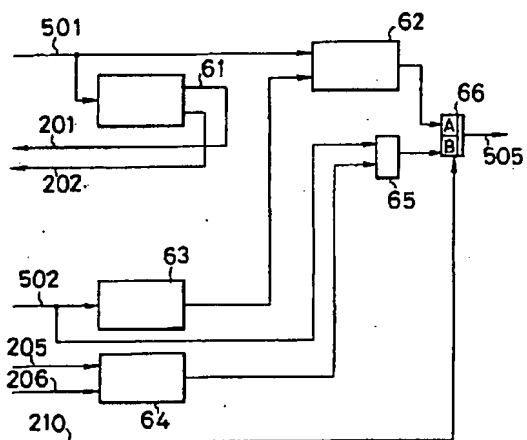


図 8

